

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-291842

(43)公開日 平成5年(1993)11月5日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 F	3/21	8836-5J		
	3/193	7436-5J		
	3/60	8836-5J		
H 0 4 B	7/26	L 8942-5K		

審査請求 未請求 請求項の数2(全7頁)

(21)出願番号 特願平4-113122

(22)出願日 平成4年(1992)4月6日

(71)出願人 592097163

ギガテック株式会社

群馬県群馬郡碓氷町大字下見942-1

(72)発明者 牛渥 隆之

群馬県群馬郡碓氷町大字下見942-1

ギガテック株式会社内

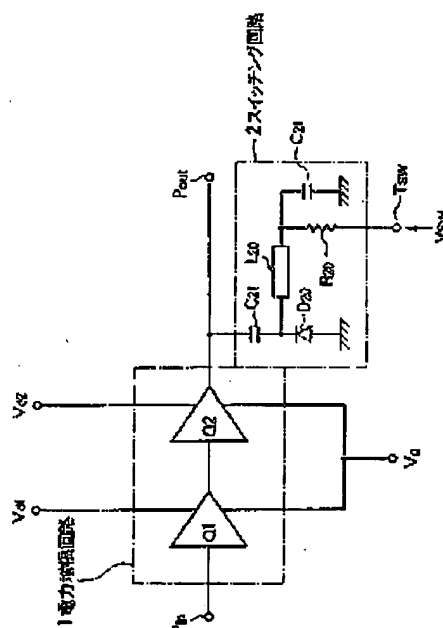
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 電力回路

(57)【要約】

【目的】ディジタルモードに必要なリニアリティを確保しつつアナログモードにおける高い効率を維持できるアナログ・ディジタル共用の電力回路を実現する。

【構成】所定周波数帯域の信号を所定の利得をもって増幅する電力増幅回路1と、電力増幅回路1の出力端に接続されたコンデンサC₂と、このコンデンサC₂に接続されたP-NダイオードD₂とを有するスイッチング回路2とを設け、コンデンサC₂とP-NダイオードD₂の接続点に、所定の電圧の切替信号V₁を印加して、P-NダイオードD₂をオンまたオフさせる。これにより、電力増幅回路1の出力端から効率のよいアナログ用電力またはリニアリティの良好なディジタル用電力を選択的に出力する。



1

【特許請求の範囲】

【請求項1】 所定周波数帯域の信号を所定の利得をもって増幅する電力増幅回路と、
上記電力増幅回路の出力端に接続されたコンデンサと、
このコンデンサに接続されたPINダイオードとを有するスイッチング回路とを備え、
上記コンデンサと上記PINダイオードの接続点に、上記PINダイオードをオンまたはオフさせる電圧を印加して、上記電力増幅回路の出力端から効率のよいアナログ用電力またはリニアリティの良好なデジタル用電力を選択的に出力するようにしたことを特徴とする電力回路。

【請求項2】 上記コンデンサとPINダイオードの接続点に、上記周波数で規定される波長の $\lambda/4$ または同等の長さを有するストリップライン、このストリップラインの他端に接続された抵抗を介して、上記PINダイオードをオンまたはオフさせる制御電圧が印加される請求項1記載の電力回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、移動体通信などに適用されるアナログ・デジタル共用の電力回路に関するものである。

【0002】

【従来の技術】 移動体通信、たとえばセルラー方式に代表される自動車電話の分野では、アナログ通信からデジタル通信へと移行されつつあり、信号処理方式としては周波数変調方式(FM; FREQUENCY MODULATION)から位相変調方式(PM; PHASE MODULATION)による時分割多重接続方式(TDMA; TIME DIVISION MULTIPLE ACCESS)が採用されるようになってきている。

【0003】したがって、自動車電話などの移動体通信機における電力回路もアナログ方式からデジタル方式へと移行しつつあるが、アナログ式セルラー方式とデジタル式セルラー方式を併用するなど通信方式などにおいてアナログとデジタルを併用するアナログ・デジタル共用の電力回路を備えた移動体通信機が必要な場合がある。このような移動体通信機の従来のデジタル用電力回路は、広いリニアリティを確保するために、A級またはAB級の電力増幅回路を飽和出力電力より小さな出力電力の線形領域にて動作させる。一方、アナログ用電力回路では、デジタル通信ほどのリニアリティは必要としないが、移動体通信においてはバッテリーを電力源とするため、その消費電力を最小にさせるために高い効率が要求される。以上の二律背反する要求を満足させるため、従来はデジタル用電力回路とアナログ用電力回路とを設け、これらを切り替えて使用するという試みがなされている。

【0004】

【発明が解決しようとする課題】 しかしながら、上述し

2

たようにデジタル用電力回路とアナログ用電力回路とを併用する方式では、二つの電力回路が必要で、装置される通信機などの装置の高価格化および大型化を招くという問題がある。

【0005】本発明は、かかる事情に鑑みてなされたものであり、その目的は、デジタルモードに必要な広帯域なリニアリティを確保し、アナログモードにおける高い効率を維持でき、しかも装置される装置の低価格化、小型化並びに低消費電力化を図れるアナログ・デジタル共用の電力回路を提供することにある。

【0006】

【課題を解決するための手段】 上記目的を達成するため、本発明の電力回路では、所定周波数帯域の信号を所定の利得をもって増幅する電力増幅回路と、上記電力増幅回路の出力端に接続されたコンデンサと、このコンデンサに接続されたPINダイオードとを有するスイッチング回路とを備えた。

【0007】また、本発明の電力回路では、上記コンデンサとPINダイオードの接続点に、上記周波数で規定される波長の $\lambda/4$ または同等の長さを有するストリップライン、このストリップラインの他端に接続された抵抗を介して、上記PINダイオードをオンまたはオフさせる制御電圧が印加されるようにした。

【0008】

【作用】 本発明によれば、コンデンサとPINダイオードの接続点に、所定のオン・オフ電圧が印加されて、PINダイオードがオンまたはオフされる。これにより、電力増幅回路の出力端から効率の高いアナログ用電力または広いリニアリティのデジタル用電力が選択的に出力される。また、コンデンサを挿入したことにより、アナログモードにおける効率が高く維持される。

【0009】また、本発明によれば、所定の周波数で規定される波長の $\lambda/4$ または同等の長さを有するストリップライン、このストリップラインの他端に接続された抵抗を介して、PINダイオードをオンまたはオフさせる制御電圧が、コンデンサとPINダイオードの接続点に印加される。

【0010】

【実施例】 図1は本発明に係る電力回路の一実施例を示すブロック構成図、図2は図1の詳細な回路図で、図中、1は電力増幅回路、2はスイッチング回路をそれぞれ示している。

【0011】電力増幅回路1は、図1に示すように、第1の広帯域高周波増幅部(以下、第1の増幅部という)Q1と第2の広帯域高周波増幅部(以下、第2の増幅部という)Q2が直列に接続されて構成され、入力電力を所定の利得をもって、電力として要求されるレベルまで増幅する。具体的には、たとえば入力端子P_{in}に投入した電力3 dBmを約30 dBm以上に増幅して出力端子P_{out}から出力する。

【0012】第1の増幅部Q1は、図2に示すように、高周波電界効果トランジスタ（以下、単に電界効果トランジスタという）FET1、コイル L_{10} 、 L_{11} 、コンデンサ C_{10} ～ C_{11} および抵抗 R_{10} 、 R_{11} により構成されている。電界効果トランジスタFET1のゲートGは入力端子 P_{10} 、およびコイル L_{10} の一端と接続されている。コイル L_{10} の他端はコンデンサ C_{10} の一方の電極、抵抗 R_{10} および R_{11} の一端に接続されている。コンデンサ C_{10} の他方の電極および抵抗 R_{11} の他端は接地され、抵抗 R_{10} の他端はゲート電源電圧 V_g に接続されている。また、電界効果トランジスタFET1のソースSは接地され、ドレインDはコイル L_{11} の一端と接続され、コイル L_{11} の他端はドレイン電源電圧 V_d およびコンデンサ C_{11} の一方の電極と接続され、コンデンサ C_{11} の他方の電極は接地されている。さらに、電界効果トランジスタFET1のドレインDとコイル L_{11} の一端との接続中点はコンデンサ C_{12} およびカップリングコンデンサ C_{13} の一方の電極に接続され、コンデンサ C_{12} の他方の電極は接地されている。また、コンデンサ C_{13} の他方の電極はコンデンサ C_{14} の一方の電極と接続され、コンデンサ C_{14} の他方の電極は接地されている。

【0013】第2の増幅部Q2は、図2に示すように、高周波電界効果トランジスタ（以下、単に電界効果トランジスタという）FET2、コイル L_{20} 、 L_{21} 、コンデンサ C_{20} ～ C_{21} および抵抗 R_{20} 、 R_{21} により構成されている。電界効果トランジスタFET2のゲートGは、第1の増幅部Q1のカップリングコンデンサ C_{13} とコンデンサ C_{20} との接続中点およびコイル L_{20} の一端と接続されている。コイル L_{20} の他端はコンデンサ C_{20} の一方の電極、抵抗 R_{20} および R_{21} の一端に接続されている。コンデンサ C_{20} の他方の電極および抵抗 R_{21} の他端は接地され、抵抗 R_{20} の他端はゲート電源電圧 V_g に接続されている。また、電界効果トランジスタFET2のソースSは接地され、ドレインDはコイル L_{21} の一端と接続され、コイル L_{21} の他端はドレイン電源電圧 V_d およびコンデンサ C_{21} の一方の電極と接続され、コンデンサ C_{21} の他方の電極は接地されている。さらに、電界効果トランジスタFET2のドレインDとコイル L_{21} の一端との接続中点はコンデンサ C_{22} およびカップリングコンデンサ C_{23} の一方の電極に接続され、コンデンサ C_{22} の他方の電極は接地されている。また、カップリングコンデンサ C_{23} の他方の電極はコンデンサ C_{24} の一方の電極および出力端子 P_{20} と接続され、コンデンサ C_{24} の他方の電極は接地されている。

【0014】スイッチング回路2は、電力増幅回路1の出力端に接続され、モード切替端子 T_{20} への切替信号 V_{20} の入力レベルに応じて、電力増幅回路1の出力端、すなわち出力端子 P_{20} から効率のよいアナログ用電力またはリニアリティの良好なデジタル用電力を選択的に出力させるようアナログモード時とデジタルモード時

の出力制御を行う。

【0015】スイッチング回路2は、図1および図2に示すように、インピーダンス可変用コンデンサ C_{20} 、バイパス用コンデンサ C_{21} 、PINダイオード D_{20} 、出力端子 P_{20} に出力される電力の周波数 f の波長 λ の $\lambda/4$ の長さまたは同等の長さのストリップライン L_{20} および消費電流を制限する抵抗 R_{20} により構成されている。具体的な接続は、コンデンサ C_{20} の一方の電極は、電力増幅回路1のコンデンサ C_{13} の一方の電極と出力端子 P_{20} との接続中点と接続され、他方の電極はPINダイオード D_{20} のカソードおよびストリップライン L_{20} の一端と接続されている。また、PINダイオード D_{20} のアノードは接地され、ストリップライン L_{20} の他端はコンデンサ C_{21} の一方の電極および抵抗 R_{20} の一端と接続されている。さらに、コンデンサ C_{21} の他方の電極は接地され、抵抗 R_{20} の他端はモード切替端子 T_{20} と接続されている。

【0016】以上の構成を有するスイッチング回路2は、モード切替端子 T_{20} への所定レベル、具体的には、アナログモード時には、PINダイオード D_{20} をオンに維持させるため、PINダイオード D_{20} のアノード電位、すなわち0V以下、たとえば-4Vで、デジタルモード時には、PINダイオード D_{20} をオフに維持させるため、PINダイオード D_{20} のアノード電位より十分高い電圧、たとえば+5.8Vである切替信号 V_{20} の入力状態に応じてPINダイオード D_{20} をオンとオフの状態に切り替え、これによりコンデンサ C_{20} を接地レベルに対してオン・オフさせて、出力端子 P_{20} とグラウンドとの間のインピーダンスを変更可とし、PINダイオード D_{20} がオンのとき出力端子 P_{20} から効率のよいアナログ用電力を出力させ、また、PINダイオード D_{20} がオフのときリニアリティの良好なデジタル用電力を出力させ、モードに応じて選択的に出力させるように構成されている。

【0017】次に、上記構成による動作を説明する。たとえば、周波数 $f=824\text{MHz}$ の信号波が所定電力5mW程度で入力端子 P_{10} に入力されると、電力増幅回路1の第1の増幅部Q1の電界トランジスタFET1により所定の増幅作用を受けた後、さらに第2の増幅部Q2の電界トランジスタFET2により所定の増幅作用を受けて電力増幅回路1から、たとえば1～2W程度の電力が出力される。

【0018】このとき、デジタルモード時には、切替信号 V_{20} が+5.8Vのハイレベルでモード切替端子 T_{20} に入力される。これにより、PINダイオード D_{20} のカソードが接地電位より高くなりPINダイオード D_{20} がオフ状態となって、出力端子 P_{20} とグラウンドとの間のインピーダンスがコンデンサ C_{20} 、ストリップライン L_{20} およびコンデンサ C_{21} で規定されるインピーダンスとなる。その結果、本電力回路の出力として大きな飽和

出力電力が得られるようになり、所定の効率を維持しながら広範囲のリニアリティが確保され、広い線形領域にてデジタル動作が可能な電力を提供する。

【0019】一方、アナログモード時には、切替信号 V_{sw} が $-4V$ のローレベルでモード切替端子 T_{sw} に入力される。これにより、 PIN ダイオード D_{10} のカソードが接地電位より低くなり、 PIN ダイオード D_{10} がオン状態となって、出力端子 P_{out} とグランドとの間のインピーダンスがコンデンサ C_{20} の静電容量のみとなる。その結果、本電力回路の出力として小さな飽和出力電力で高い効率の電力を提供でき、図示しない後段の回路は飽和領域にてアナログ動作するようになる。

【0020】なお、本例の場合、スイッチング回路2で使用されるコンデンサ C_{10} 、 C_{11} の容量および抵抗 R_{10} の抵抗値は、たとえばコンデンサ C_{10} の容量が $3pF$ 、コンデンサ C_{11} の容量が $1000pF$ 、抵抗 R_{10} の抵抗値が $1k\Omega$ にそれぞれ設定される。

【0021】以上のように、本電力回路では、デジタルモード時およびアナログモード時で、スイッチング回路2のスイッチング動作により動作領域を変化させて、デジタルモード時に必要な広範囲のリニアリティを確保しつつ、アナログモード時の効率を高いレベルに維持することができ、また、出力端子からモードに応じた信号波が約 $1W$ の電力をもって出力される。

【0022】図3～図5は、図1および図2に示す電力回路の特性例を示している。図3はデジタルモード時の出力電力と相互変調ひずみ（ IMD ：INTERMODULATION DISTORTION）との関係を示すグラフ、図4はデジタルモード時の入力電力と出力電力 P 、および効率 η との関係を示すグラフ、図5はアナログモード時の入力電力と出力電力 P 、および効率 η との関係を示すグラフである。図3に示すような、リニアリティの評価としての3次、5次、7次についての IMD 特性を得るためには、飽和出力電力を伸ばし線形領域にて動作させなければならないため、本電力回路におけるデジタルモードでは、図4に示すように、入力電力 $3dBm$ で出力電力 $+30dBm$ 時の効率 η はほぼ 35% 程度にすぎない。しかし、この場合、広いリニアリティが確保されている。ここで、スイッチング回路2のモード切替端子 T_{sw} に切替信号 V_{sw} を $-4V$ のローレベルで入力させてデジタルモードからアナログモードに切り替え、上述したように飽和領域で動作することになるため、入力電力 $3dBm$ で出力電力 $+30dBm$ 時の効率 η はほぼ 45% に向上する。

【0023】また、図6は、周波数 $f = 824MHz$ 、周波数間隔 $\Delta f = 10kHz$ の2波の信号波を入力したときの本電力回路の $1W$ 出力時の IMD 特性を示す図で、横軸は周波数、縦軸は相対出力をそれぞれ示している。図6からわかるように、本電力回路によれば、 IMD 特性が良好な出力を得ることができる。

【0024】以上説明したように、本実施例によれば、デジタルモードで必要なリニアリティを確保しつつ、アナログモードでの効率を高いレベルに維持することができアナログ・デジタル共用の自動車などに適用可能である。

【0025】なお、本実施例では、特定の例示として、主としてアナログ・デジタル併用セルラー方式に適用する電力回路について説明したが、本発明の電力回路の適用範囲は、移動体通信に限定されるものではない。また、本実施例では、スイッチング回路2のスイッチング素子として高周波特性に優れた PIN ダイオード D_{10} を用いたが、特に高周波性を要求されない装置の電力回路として用いる場合には、他のダイオードを用いることができる。

【0026】

【発明の効果】以上説明したように、本発明によれば、アナログ・デジタル共用の電力回路における電力増幅回路の出力端に接続されたコンデンサと、このコンデンサに接続された PIN ダイオードとを有するスイッチング回路のスイッチングにより、デジタルモードで必要な広範囲なリニアリティを確保しつつ、アナログモードでの効率を高いレベルに維持することができる。また、二つの電力回路を必要としないため、装填される装置の低価格化、小型化並びに低消費電力化を図れ、デジタルモードとアナログモードとをスイッチングできる。

【図面の簡単な説明】

【図1】本発明に係る電力回路の一実施例を示すブロック図である。

【図2】図1の電力回路の詳細な回路図である。

【図3】デジタルモード時の出力電力と相互変調ひずみとの関係を示すグラフである。

【図4】デジタルモード時の入力電力と出力電力および効率との関係を示すグラフである。

【図5】アナログモード時の入力電力と出力電力および効率との関係を示すグラフである。

【図6】周波数 $f = 824MHz$ 、周波数間隔 $\Delta f = 10kHz$ の2波の信号波を入力したときの IMD （相互変調ひずみ）特性を示す図である。

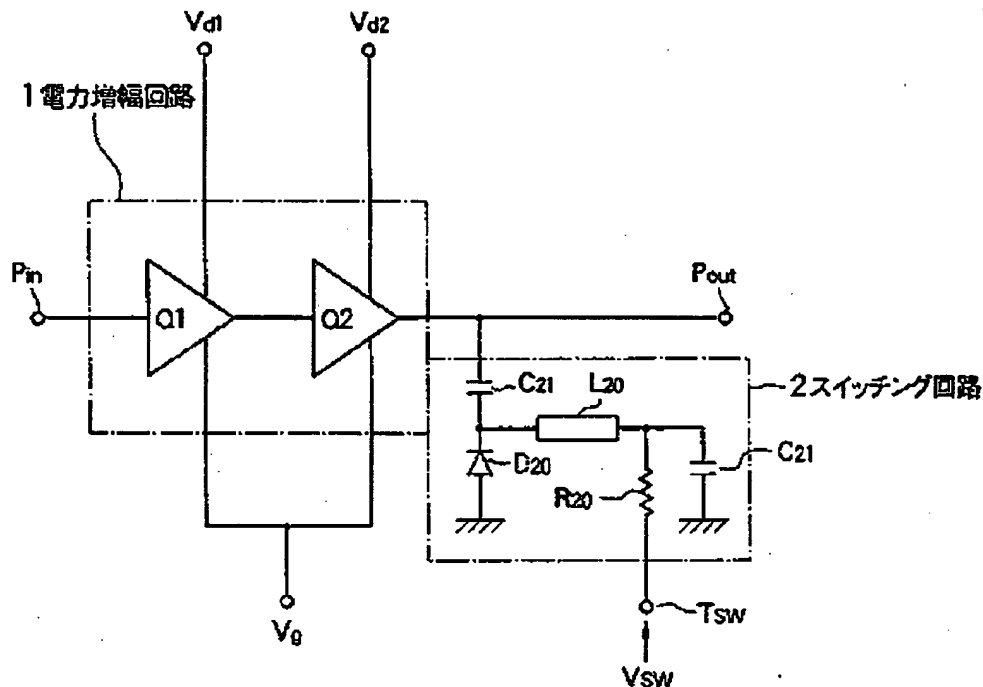
【符号の説明】

- 1…電力増幅回路
- Q1…第1の広帯域高周波増幅部
- FET1…高周波電界効果トランジスタ
- L_{10} 、 L_{11} …コイル
- C_{10} ～ C_{11} …コンデンサ
- R_{10} 、 R_{11} …抵抗
- Q2…第2の広帯域高周波増幅部
- FET2…高周波電界効果トランジスタ
- L_{12} 、 L_{13} …コイル
- C_{12} ～ C_{13} …コンデンサ
- R_{12} 、 R_{13} …抵抗

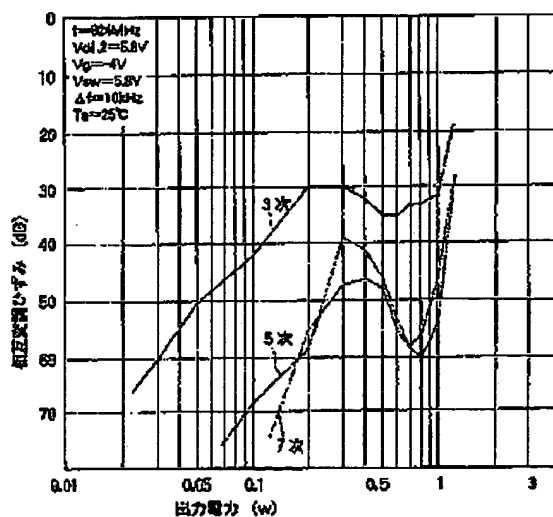
2…スイッチング回路

 C_{2e} …インピーダンス可変用コンデンサ C_{2s} …バイパス用コンデンサ C_{21} D_{2e} …PINダイオード L_{2e} …ストリップライン* R_{1e} …抵抗 T_{1e} …モード切替端子 P_{1e} …入力端子 P_{2e} …出力端子* V_{1e} …切替信号

【図1】



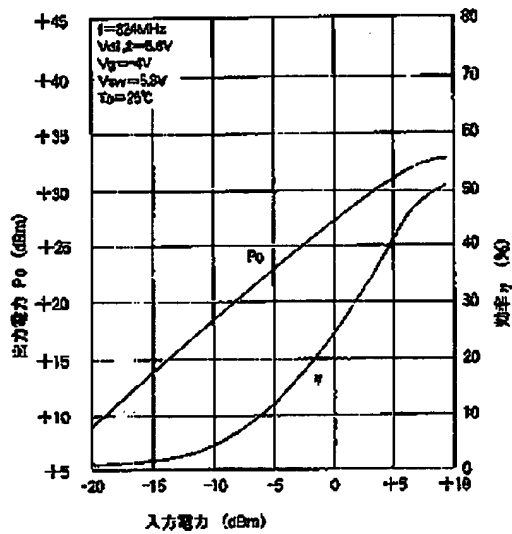
【図3】



The diagram shows a differential amplifier circuit. It consists of two input stages, Q1 and Q2, and a common-mode feedback stage, 2. The input stages are differential pairs of FETs (FET1, FET2) with gates connected to a common-mode feedback node. The sources of FET1 and FET2 are connected to a common-mode feedback node. The drains of FET1 and FET2 are connected to a common-mode feedback node. The common-mode feedback stage 2 includes a resistor R20, a capacitor C20, and a diode D20. The output of the common-mode feedback stage is connected to the gates of FET1 and FET2. The input stages Q1 and Q2 have gates connected to input nodes Vd1 and Vd2. The sources of FET1 and FET2 are connected to a common-mode feedback node. The drains of FET1 and FET2 are connected to a common-mode feedback node. The common-mode feedback stage 2 includes a resistor R20, a capacitor C20, and a diode D20. The output of the common-mode feedback stage is connected to the gates of FET1 and FET2. The input stages Q1 and Q2 have gates connected to input nodes Vd1 and Vd2. The sources of FET1 and FET2 are connected to a common-mode feedback node. The drains of FET1 and FET2 are connected to a common-mode feedback node. The common-mode feedback stage 2 includes a resistor R20, a capacitor C20, and a diode D20. The output of the common-mode feedback stage is connected to the gates of FET1 and FET2.

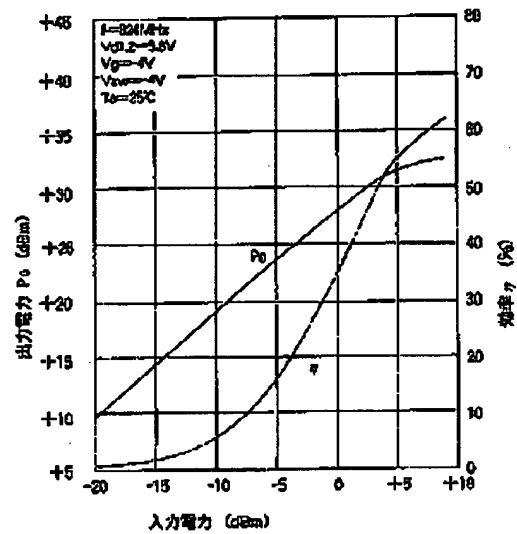
【図4】

デジタルモード



【図5】

アナログモード



【図6】

